

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-264487

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl.	識別記号	序内整理番号	FI	技術表示箇所
H01L	21/285		H01L 21/285	S
	21/203		21/203	S

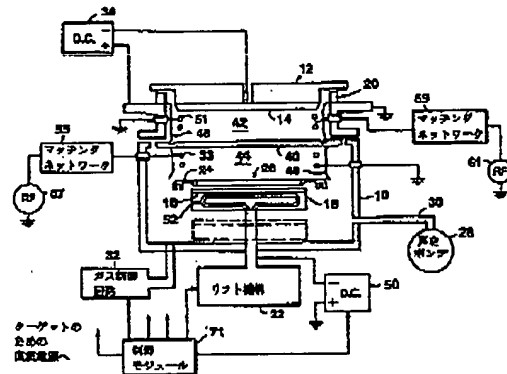
審査請求 未請求 請求項の数21 OL (全 13 頁)

(21)出願番号	特願平7-325716	(71)出願人	390040660 アプライド マテリアルズ インコーポレイテッド APPLIED MATERIALS, INCORPORATED アメリカ合衆国 カリフォルニア州 95064 サンタ クララ パウアーズ アベニュー 3050
(22)出願日	平成7年(1995)12月14日	(72)発明者	シェン シウ アメリカ合衆国, カリフォルニア州 94404, フォスター シティ, ハドソン ベイ ストリート 279
(31)優先権主張番号	08/356928	(74)代理人	弁理士 長谷川 芳樹 (外5名)
(32)優先日	1994年12月14日		最終頁に続く
(33)優先権主張国	米国 (US)		

(54)【発明の名称】 リエントリー形状コンタクト・ホールをコーティングまたは埋めるための堆積プロセス

(57)【要約】

材料を堆積させて、半導体基板の表面内のホールをコンフォーマルにカバーないし埋めるための方法および装置。好適な方法は、該材料の第1の厚さを基板の表面上へコヒーレントに堆積するステップと；堆積された材料を逆スパッタリングして、コンタクト・ホールの側壁を堆積された材料でコートするステップと；該材料の第1の厚さが基板の表面上へ堆積された後、該材料の第2の厚さを基板の表面上へ堆積するステップと；該材料の第2の厚さを基板の表面上へ堆積しつつ、基板を加熱して、堆積されるべき材料のリフローを高めるステップとを含む。



(2)

特開平8-264487

1

【特許請求の範囲】

【請求項1】 半導体基板の表面の内に形成されたコンタクト・ホール内へ材料を堆積させる方法であって、該材料の第1の厚さを該基板の表面上へ堆積させて、該ホールを部分的に埋めるステップと；堆積された材料を逆スパッタリング(reverse sputtering)して、コンタクト・ホールの側壁を該堆積された材料でコートするステップと；前記材料の第1の厚さを基板の表面上へ堆積させた後、前記材料の第2の厚さを基板の表面上へ堆積させるステップと；前記材料の第2の厚さを基板の表面上へ堆積させつつ、該基板を加熱して、堆積されるべき材料(material being deposited)のリフローを高めるステップと、を含むことを特徴とする方法。

【請求項2】 前記材料の第1の厚さをコヒーレントに堆積するステップと並列で(concurrently)、前記逆スパッタリングのステップが実行される請求項1記載の方法。

【請求項3】 基板の表面上へ前記材料の第1の厚さを堆積するステップが、側壁上へ再スパッタリングされた(resputtered)材料の「脱濡れ(de-wetting)」を防ぐのに充分に低く、基板の温度を維持することを含む、請求項1記載の方法。

【請求項4】 基板の表面上へ前記材料の第1の厚さを堆積するステップが、基板に実質的に垂直な軌道で前記材料を基板に堆積させることを含む、請求項1記載の方法。

【請求項5】 前記加熱するステップが、基板の表面を電子で衝撃して、堆積された材料のリフローを高めることを含む、請求項1記載の方法。

【請求項6】 前記基板を電子で衝撃するステップが、該基板に正の電圧を印加することを含む、請求項5記載の方法。

【請求項7】 前記衝撃電子が、堆積された材料を加熱するのに充分に大きく、且つ、該基板上の如何なる電気デバイスにダメージを与えるほどには大きくない程度の、エネルギーを有する請求項6記載の方法。

【請求項8】 前記加熱するステップが、その上に基板が支持されるべきプラットホームを加熱することを更に含む、請求項5記載の方法。

【請求項9】 その上に材料の前記第2の厚さが堆積されるべき基板の側面(on the side of)に配置された熱源から基板の表面を加熱して、それにより堆積されるべき材料のリフローを高めることを含む、請求項1記載の方法。

【請求項10】 前記第1の厚さを堆積するステップが、材料の第1の厚さをコヒーレントに堆積して、材料の実質的な量が個々のホールのベース(base)上に堆積することを保証する、請求項1記載の方法。

【請求項11】 前記第1の厚さを堆積するステップが、基板上に堆積されるべき材料が構成成分であるター

2

ゲット材料からなるターゲットをスパッタリングすることを含む、請求項1記載の方法。

【請求項12】 前記第1の厚さを堆積するステップが、基板とターゲットとの間にコリメーターを位置決め(positioning)して、コヒーレントなスパッタ堆積を生成することを更に含む、請求項11記載の方法。

【請求項13】 前記逆スパッタリングのステップが、前記第1の厚さの材料を基板上へスパッタ堆積させつつ、該コリメーターに対して負の電圧を基板に印加してすることを含む、それにより、前記第1の厚さを堆積するステップと、逆スパッタリングのステップとが同時に実行される、請求項12記載の方法。

【請求項14】 前記コヒーレントに堆積するステップが第1の堆積チャンバー内で実行され、前記材料を第2の厚さに堆積するステップが第2の堆積チャンバー内で実行され、且つ、逆スパッタリング・ステップと第2の厚さの堆積との間で、基板が第1のチャンバーから第2のチャンバーへ真空中で移動される、請求項12記載の方法。

【請求項15】 前記逆スパッタリングのステップが、基板をイオンで衝撃することを含む、請求項1記載の方法。

【請求項16】 逆スパッタリングのステップが、第1の厚さを堆積するステップの間、正のバイアス電圧を基板に印加することを含む、それにより、該正の電圧がイオンを引き付けて(attracts)、第1の厚さの堆積の間、基板を衝撃して逆スパッタリングする、請求項2記載の方法。

【請求項17】 衝撃イオンが、ホールの底上に堆積された材料を逆スパッタリングするのに充分大きく、且つ、該堆積された材料の全てを該ホールの底から除去するほどには大きくない、請求項16記載の方法。

【請求項18】 再スパッタリング・ステップ中、基板が充分に低く維持されて、再スパッタリングされた材料の側面壁上へのコーティングが連続的に(continuous)なる、請求項1記載の方法。

【請求項19】 基板の表面内に形成されたコンタクト・ホールを含む基板上に、材料の平坦化された層を形成するための方法であって、

該材料の第1の厚さを、基板の前記表面上へコヒーレントに堆積するステップと；前記コヒーレントに堆積するステップと同時に、堆積された材料を逆スパッタリングして、コンタクト・ホールの側壁を堆積された材料で完全且つ連続的にコートするステップと；堆積された材料を逆スパッタリングしつつ、該コーティングが不連続(discontinuous)になることを防ぐのに充分に低く、基板温度を維持するステップと；基板の表面上に前記材料の第1の厚さを堆積した後、前記材料の第2の厚さを該基板の表面上へ堆積するステップとて；前記材料の第2の厚さを基板の表面上へ堆積しつつ、基板上方(above)

(3)

特開平8-264487

3

e)に配置された熱源から該表面を加熱して、堆積されるべき材料のリフローを高めるステップと;を有することを特徴とする方法。

【請求項20】 基板の表面内に形成されたコンタクト・ホールを含む基板上に、材料の平坦化された層を形成するための装置;該装置は以下を含む:堆積チャンパーと;前記材料を構成要素(constituent)として形成されたスパッタ・ターゲットと;該基板を保持するためのプラットホームと;前記ターゲットと前記プラットホームとの間のコリメーション・フィルターと;前記スパッタ・ターゲットに接続された第1の電源と;前記プラットホームに接続された第2の源と;下記ステップを実行するようにプログラムされた制御モジュール。(該材料の第1の厚さを、基板の前記表面上へコヒーレントに堆積するステップと;堆積された材料を逆スパッタリングして、コンタクト・ホールの側壁を堆積された材料でコートするステップと;堆積された材料を逆スパッタリングしつつ、該コーティングが不連続(discontinuous)になることを防ぐのに充分に低く基板温度を維持するステップと;基板の表面上に前記材料の第1の厚さが堆積された後、前記材料の第2の厚さを該基板の表面上へ堆積するステップと;前記材料の第2の厚さを基板の表面上へ堆積しつつ、基板を加熱して堆積されるべき材料のリフローを高めるステップ。)

【請求項21】 前記制御モジュールが、前記コヒーレントに堆積するステップと、逆スパッタリング・ステップとを並列に実行するようにプログラムされている請求項20記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板中の高アスペクト比の、リエントリー形状の(re-entry shaped)コンタクト・ホール(contact holes)への材料のスパッタ堆積のための方法および装置に関する。より詳しくは、本発明は、このようなホールの壁をコンフォーマルに(conformally)堆積された材料でカバーするか、あるいは該ホールを該材料で埋める(filling)ことに関する。

【0002】

【従来の技術】半導体素子は、典型的には、半導体ウエハ上に一度に1層ずつ(one layer at a time)作製された多層(multilayered)の構造である。該多層構造の層の少なくとも1つはメタライゼーション(metallization)層であり、該層はパターニングされて、ウエハ上に形成されたデバイス(devices)を電気的に相互に接続させる導電性の経路(pathways)ないし配線(wires)を与える。該メタライゼーションは、通常は、下層の(underlying)デバイスを保護しアイソレーションするために先にウエハ表面上に堆積されたパッシベーション層(例えば、SiO₂)上に堆積される。該メタライ

4

ゼーション層が、パッシベーション層下の半導体デバイスに対する電気的なコンタクトを形成するのを可能にするために、コンタクト・ホールないしビア(vias)が、該メタル層の堆積に先立って、パッシベーション層を通過して(through)エッチングされる。そのメタル(例えば、Al)がウエハ上に堆積される際、それはコンタクト・ホールを埋めて、下層のデバイスとのコンタクトを形成する。

【0003】コンタクト・ホールが垂直(vertical)側壁を有することは、一般的には望ましい。これは特に、高アスペクト比のコンタクト・ホール(すなわち、高い「長さ対幅」の比(length-to-width ratio))に対して真実であり、そしてこれらのコンタクト・ホールは、サブミクロン範囲のディメンションを有する半導体デバイスを作製するために、現在では一般的に使用されている。しかしながら、コンタクト・ホールを形成するために通常に使われるプラズマエッチング・プロセスは制御することが困難であるため、垂直側壁は常に可能であるわけではない。しばしば生じる場合のように、もしプラズマエッチング・プロセスが安定していないならば、エッチングされるべき層は「アンダーカット」されて、「リエントリー形状」のホール(図1を参照)を生成する可能性がある。「リエントリー形状」のホール2においては、壁4が、理想的なように垂直ではなく、該ホールはむしろ、その頂部(すなわち、その開口)から該ホールの底部に向かって、幅において漸進的に(progressively)増大する。

【0004】理想的に垂直側壁を有するコンタクト・ホールに比べて、リエントリー形状のホールは、メタル6でコートないし埋めることが相当程度に(considerably)より困難である。該ホールをコートないし埋めるために、もし従来のAlスパッタ堆積が使われるならば、堆積された材料はコンタクト・ホールの上部エッジ近くまで蓄積(build up)して、オーバーハング8を形成する傾向がある。該オーバーハングは、スパッタリングされた材料がコンタクト・ホールの底部まで入ってそこに到達することを妨げるだろう。非常に小さい、高アスペクト比のホールに対しては、この問題は、特に厳しいものとなる。

【0005】

【発明が解決しようとする課題】オーバーハングの形成を防ぐために、コヒーレント・スパッタ堆積を使うことは可能である。コヒーレント堆積により、そのウエハに到達するスパッタリングされた材料が、あるメカニズムによって狭い角度分布に制限される(例えば、該ウエハに到達するスパッタリングされた材料の軌道(trjectories)が、該ウエハ表面の垂線(normal)である方向の近辺(about)にタイトに分布すること)を、我々は意味している。コヒーレント堆積は、より多くのスパッタリングされた材料が、リエントリー形状のコンタクト・

(4)

特開平8-264487

5

ホールの底部に到達し、そして堆積することを保証する。しかしながら、もしリエントラント形状の(re-entrant shaped)側壁の角度があまりに大きいと、しばしば、コヒーレント・スパッタリングでさえ、完全に該ホールの壁をカバーしたり、完全に該ホールを埋めることができない。

【0006】換言すれば、通常使用されるスパッタ堆積およびリフロー(reflow)・プロセスは、リエントリー形状のコンタクト・ホールに対しては、よく適合しているとは言えない。特に、リエントリー形状のコンタクト・ホールの存在は、該コンタクト・ホール底部のデバイスに対して、乏しいかあるいは存在しない(nonexistent)電気コンタクトに帰着する傾向がある。したがって、もし、コンタクト・ホールをエッチングするためのプロセスが、不注意にも過度のリエントラント形状のホールを生成するならば、ウエハは慣習的には廃棄されねばならない。このように、リエントラント形状のホールの壁をコートするか、あるいは該ホールを埋めて、このようなホールを有するウエハが廃棄される必要がなくなるようにするための、堆積プロセスの必要性が存在する。

【0007】

【課題を解決するための手段】本発明は、表面がホール(holes)を含む半導体基板上に、材料の層を堆積するための方法および装置である。本発明は、もし、該ホールのいくらかがリエントラント形状の、すなわち、それらの底部(bases)より小さい開口(apertures)を有しているとしても、該ホールの壁をコンフォーマルにカバーし、あるいは該ホールを空隙(voids)がないように完全に埋めるのを容易にする。

【0008】本発明の第1の面(aspect)は、ホールの壁を材料の層でコンフォーマルにカバーするための方法である。該方法は、以下のステップを含む：(a)該ホールを埋めるために必要とされるより少ない第1の厚さまで、該材料をホールの底の上へ堆積させ；そして、(b)該ホールの側面壁を堆積された材料で完全にコートするように、堆積された材料を逆スパッタリング(reverse sputtering)する。

【0009】逆スパッタリング・ステップ(b)は、堆積の間、負のバイアス電圧をその基板に印加することによって、堆積ステップ(a)と同時に(concurrently)実行することが好ましい。

【0010】堆積ステップ(a)は、好ましくは、該材料を「コヒーレントに」堆積させる、すなわち、基板に十分に垂直な軌道中で該基板に該材料を向けて、個々のホールの開口に入る材料の実質的な部分を、該ホールの底部(base)上に堆積させることを含む。該コヒーレント堆積は、好ましくは、該基板をスパッタリング・ターゲットから充分な距離に位置決めするか、あるいは、該基板と該ターゲットとの間にコリメーターを配置するこ

6

とによって、コヒーレント・スパッタリング軌道を得つつ、スパッタリング・ターゲットからの材料(あるいは、該材料の前駆体)をスパッタリングすることによって、実行することが好ましい。

【0011】本発明の第2の面は、ボイド(voids)なしで完全にホールを埋めるための方法である。この方法は、以下を含む：(a)上記した本発明の第1の面に従って、ホールの壁をコンフォーマルにカバーする第1のステップ、(c)堆積されるべき材料のリフロー(reflow)を高めるのに充分なように、同時に基板表面を加熱しつつ、(b)基板表面上へ、該ホールを埋めるのに充分な材料の第2の厚さを堆積する。ホール埋め(hole-filling)堆積中、最初のコンフォーマルなコーティングは、ホール埋め堆積ステップ中での「濡れ」(wetting)ないし「核形成」(nucleation)層として機能する。したがって、ホール埋め堆積ステップ中、ホール壁の上部分(upper portion)上に堆積された材料が、ボイドなしで完全に該ホールを埋めるように、該「濡れ」層上に流れる(flow over)だろう。このことは、ホール壁の上部分上に堆積された材料が、該ホールを塞ぐオーバーハングを形成して、該ホール内で埋められないボイドを残す可能性がある従来の堆積プロセスと対照をなす。

【0012】加熱のステップは、堆積された材料のリフローを高めるために、該基板の表面を電子で衝撃することと、抵抗的に加熱されたベドスタルまたは熱放射ランプ等の熱源で基板を加熱することとの両方を含むことが好ましい。電気的な装置が下にある基板の中で作った損害に関して、衝撃電子は、堆積された材料を加熱するのに充分大きいエネルギーレベルを有するべきであるが、下層基板(underlying substrate)中に作製された電子的デバイスにダメージを与える程度には大きくするべきではない。

【0013】本発明のホール埋めプロセスは、ホール内に堆積された材料のみならず、基板の外表面(outer surface)に堆積された材料のリフローをも引き起こすため、該プロセスは、ホールを埋めつつ、基板の表面上に堆積した材料を有利に平坦化(planarize)する。対照的に、ホールを埋めるための従来のプロセスは、該ホール・パターンにコンフォーマルに従う「うねり」(undulations)を有する基板の外表面上の層を、しばしば生成し、そして、これらの「うねり」は、追加の平坦化ステップによって除去されねばならない。本発明の1つの長所は、それが、この追加的な平坦化ステップの必要性を排除できることである。

【0014】たとえ該ホールがリエントリー形状、すなわち、底より小さい開口、を有していたとしても、本発明は高アスペクト比のホールを埋めることを可能とする。以前には、ホールを生成するために使われたエッチング・プロセスが意図せずにリエントリー形状のホール

(5)

特開平8-264487

7

を生産した際、既存の (existing) 堆積および平坦化技術が、該ホール内でボイドを形成することなく、信頼性をもってコンタクト・ホールを埋めることができなかったため、全てのウエハは廃棄されねばならなかった。したがって、リエントリー形状のホールの形成を防ぐために、エッチング・プロセスを厳密にコントロールすることは、非常に重要であった。本発明に従う新しいメタライゼーション/平坦化プロセスは、先行するエッチング・プロセスにおける変化 (variations) に対して、遙かに大きく寛大である。

【0015】他の利点および特徴は、以下の好適実施態様およびクレームから、明らかになるであろう。

【0016】

【発明の実施の形態】

(1.0 システム・ハードウェア) 本発明に従うホール埋め・膜平坦化プロセスは、「フェーズ-I」および「フェーズ-II」と称される2つの堆積フェーズ (phase) を包含する。フェーズ-Iは、半導体ウエハまたは基板の表面上のホールの側面壁をコンフォーマルにコートあるいはカバーし、次いで、フェーズ-IIは該ホールを埋める。該ホールを埋めることなく、該ホールの壁をコンフォーマルにカバーすることが好ましいならば、フェーズ-Iはフェーズ-IIなしで実行されることが可能である。

【0017】フェーズ-Iの間、所定量の材料 (例えば、A1) は、加熱されない (unheated) 半導体基板またはウエハ上にコヒーレントにスパッタ堆積される。同時にあるいはその後、該基板の表面は不活性ガスのイオンで衝撃される。

【0018】フェーズ-IIの間、基板は加熱され、追加的な材料が、好ましくは該堆積された材料が同時に電子によって衝撃されつつ、該基板上へ堆積される。フェーズ-Iとは対照的に、フェーズ-IIの堆積プロセスは、必ずしもコヒーレントでなくともよい。

【0019】フェーズ-Iおよびフェーズ-IIは、1つのチャンバー内で実行されることも可能である。しかしながら、後述する好適な実施態様においては、フェーズ-Iおよびフェーズ-IIは、別々のチャンバー内で実行される。図2中に示されるように、フェーズ-Iのプロセスは、機械的コリメーターを含むコヒーレント堆積チャンバー内で実行されることが好ましい。図3中で示されるように、フェーズ-IIの堆積は、コリメーターなしの従来の堆積チャンバー内で実行される。個々のフェーズの詳細を記述する前に、本発明の実施に関連する特徴を参照しつつ、上記した2つの堆積システムについて述べる。

【0020】図2を参照して、その中で平坦化プロセスのフェーズ-Iが実行されるスパッタ堆積システムは、堆積チャンバー10と、スパッタ・ターゲット14がその上にマウントされているソース・アセンブリ12と、

8

その上に該ターゲット14からスパッタされた材料が堆積されるべき基板18を保持するための、移動可能な下方 (lower) ベDESTALないしプラットフォーム16とを含む。従来のスパッタリング源のいずれもが使用可能であるが、上記した実施態様においてはソース・アセンブリはマグネトロンである。ソース・アセンブリおよびその上にマウントされたターゲットは、絶縁体 (insulator) リング20によって、該チャンバーの残りの部分から電気的に分離されている。下方プラットフォームは、機械的リフト機構22によって上昇および下降することが可能である。リフト機構は、それがクランプ・リング24と接触するまで、該基板を上昇させる。基板より直径がわずかに小さい中心のアーチャ26を有するクランプ・リングは、プラットフォーム上へ基板を保持して、処理 (processing) の間のプラズマおよび堆積された材料からプラットフォームを保護する。

【0021】好ましくはターゲットと基板との中ほどに (midway) 位置決めされる、コリメーションフィルター40は、チャンバー10を上方キャビティ42と下方キャビティ44とに分離する。該ターゲットを出たスパッタされた材料は、典型的には該ターゲットへの垂直な方向のまわりに分布する軌道の幅広い範囲を有する。コリメーション・フィルターは、予め選択された角度を越えて垂直方向から逸脱した軌道を有する全てのスパッタリングされた材料をブロックする (すなわち、フィルターして除く)。コリメーション・フィルターは金属プレートであり、好ましくはチタン等の耐火・耐熱材料から形成される。それは、それを通る穴の配列 (array) を有しており、該穴は、それらの直径に対する長さの比として定義される、特定のアスペクト比を有する。スルー・ットを最大にするため、該穴は六角形の形状で、ハチの巣形 (honeycomb) の構造を形成している。粒子がコリメーターを通してブロックされることなく移動できる垂線からの角度の最大値は、そのコタンジェントが該穴のアスペクト比である角度にほぼ等しい。例えば、長く、狭い穴は、より多くのスパッタリング材料をフィルター除去して、短く、広い穴よりもより狭い角度分布を与える。上記の実施態様において、プレートは約0.950インチの厚さを有し、そして穴は直径が約0.625インチである。

【0022】コリメーション・フィルターは、接地 (ground) に接続されて、このように、上記した2つのキャビティを分離する接地面 (ground plane) を形成する。上方キャビティ内で、その内部の境界線 (perimeter) のまわりでは、材料がチャンバーの壁上に堆積されるのを防ぐ円筒状シールド46がある。同様に、下方キャビティも、同様の目的を達成する他の円筒状シールド48を含んでいる。両方のシールドは、接地電位 (ground potential) に接続されている。

【0023】真空ライン30を介してチャンバーに接続

9

された真空ポンプ28は、プロセス実行(run)の当初に適当な真空を確立するために、該チャンパーを排気するために用いられる。ガス制御回路構成(circuitry)32は、処理の間、チャンパー内への不活性スパッタリング・ガス(例えば、Ar)の流れを制御する。直流電源34は、該ターゲットに電力を供給して、プラズマ堆積プロセスを開始させ、且つ維持する。直流電源の負ターミナルはターゲットに接続され、該直流電源の正ターミナルはチャンパーの電気的に接地された壁に接続される。第2の直流電源50は、基板を含むプラットホームをバイアスして、コリメーションフィルターとチャンパー壁に対して相対的に負にする。

【0024】プラットホーム16は、それを通して外部ポンプ(図示せず)が冷却剤(例えば23℃の水)を循環させて、処理の間該プラットホームを冷却するための冷却部通路のネットワーク52を含む。

【0025】記述された堆積チャンパーは、基板を負にバイアスするための第2の直流電源50の包含を除いて、全く従来のものである。後述するように、負の基板バイアスは、基板上に堆積されるべき材料(例えば、TiN)の逆スパッタリング(reverse sputtering)を引き起こすだろう。

【0026】フェーズ-IIの堆積を実行するために適した堆積チャンパーを、図3に示す。このチャンパーは、図2に示したものと殆ど同様の要素を有する(図中で、同様に番号をつけられた構成要素によって示される)。1つの主要な差異は、コリメーション・フィルターがないことにある。後述するように、フェーズ-IIの堆積は、堆積された材料のリフローを促進する条件の下で行われる。具体的には、フェーズ-Iで堆積された核形成層によってホールは既にコートされており、且つ、該基板の表面はリフローを誘起するのに十分に加熱されているため、フェーズ-II中でリフローが起こる。それがフェーズ-IIの間に堆積される一方で、該材料のリフローは、もし材料がコヒーレントでないか、またはコリメートされていないとしても、ホール壁の上方部分に堆積された材料によってホールが塞がれること防止する。

【0027】コリメーターはフェーズ-IIの間には必要でないため、コリメーターがいくつかのスパッタリング材料を基板に到達することからブロックして、高価なターゲット材料を必要もなく浪費する可能性があるため、それは省略されることが有利である。コリメーターがない場合、コリメーターを有するチャンパーと比較して、与えられた堆積速度は低減されたターゲット・スパッタリング速度で達成することができ、これによって該ターゲットの寿命が延びる。もちろん、フェーズII堆積チャンパーはコリメーション・フィルターを有しないため、それが、ターゲット近くからプラットホーム方向へ延びるただ1つの円筒状シールド68を必要とする。

【0028】フェーズ-IおよびIIに使用されるチャン

(6)

特開平8-264487

10

パー間の他の主な差異は、フェーズ-IIチャンパー中のプラットホーム16が、ヒータ制御回路72によって操作されて該プラットホームをユーザー設定が可能な(user settable)温度(例えば、A1堆積のための520℃)まで加熱する抵抗ヒータ70を含むことである。図2に示したチャンパーにおいて可能であったように、基板をバイアスするために直流電源73がプラットホーム16に接続されている。しかしながら、この場合、コヒーレント堆積チャンパーの場合のように負の電圧とするよりも、チャンパー壁に対して正の電圧に基板をバイアスするために、該直流電源は接続される。

【0029】上記の直流電源、ガス制御、リフト機構、および該システム中の他の電子的な要素は、図2および3中で示される制御モジュール71により従来のやり方で制御される。該制御モジュールは、本明細書に記載されるような操作シーケンスを自動的に実行するようにプログラムされ、このようにしてオペレーター関与の必要性を最小限にしている。

【0030】(2.0 平坦化プロセス)フェーズ-Iおよびフェーズ-II堆積のステップは、以下の図4中に示される。

【0031】(2.1 フェーズ-I)好適な実施態様において、アルミニウムのフェーズ-Iのコンフォーマル堆積は、アルゴン雰囲気を用いる図1で示されたチャンパー内で実行される。フェーズ-Iの堆積と再スパッタリング(resputtering)プロセスを同時に実行するために、ターゲット14およびウエハ支持プラットホーム16(ゆえに、半導体ウエハ18)の双方とも負電圧にバイアスされて、該ターゲットおよび基板がプラズマからイオンによって衝撃される。コリメーター40は、電気的に接地される。加えて、充分な電気のパワーが、プラズマを生成するアルゴン・ガスに結合される(coupled)。該パワーの源は、ターゲット上のバイアス電圧であってもよく、または、それは別個の従来のプラズマ励起源であってもよい。上方キャビティ・プラズマ生成からのAr⁺イオンは、負にバイアスされたA1ターゲットを充分なエネルギーで衝撃して、該ターゲットから基板の方向へA1原子をスパッタリングする(ステップ102)。

【0032】「発明の要約」中で述べたように、フェーズ-Iの堆積および再スパッタリングプロセスは、同時よりはむしろシーケンシャルに実行されることができ(しかしながら、この代替法は、好ましさの程度が小さいと考えられている)。この代替法において、堆積プロセスの間だけ、ターゲットは負にバイアスされるだろう。そして、該基板はこれに続く再スパッタリングプロセスの間だけ、負にバイアスされるだろう。

【0033】再スパッタリングプロセスにおいては、同時に実行されるか堆積の後に行われるかのいずれにせよ、ウエハ支持ベDESTALまたはプラットホーム16に

40

50

(7)

特開平8-264487

11

印加されたバイアスは、下方キャビティの中で第2のプラズマを生成する。このプラズマは、(上方キャビティの中で生成されたプラズマと同様に) Ar^+ イオンを生成する。しかし、ブラットホーム16上の負バイアスのため、下方キャビティの中で生成された Ar^+ イオンは基板表面方向へ加速されてこれを衝撃し、一方、ターゲットからスパッタリングで出された (sputtered off) Al もまた、そこに堆積される (ステップ104)。該衝撃 Ar^+ イオンは、コンタクト・ホール16の底に堆積された材料をリエントリー形状のホールの側面壁の上に再スパッタリングし、これにより、それらの側面表面上に核形成層ないし「濡れ」層を形成するように機能する。

【0034】ブラットホーム上の負バイアス電圧を増大させることは、衝撃 Ar^+ イオンのエネルギーを比例的に増大させ、これは、イオンがコンタクト・ホールの底の材料をスパッタリングする速度を増大させる。バイアス電圧は、コンタクト・ホール底上に堆積された Al 材料のいくらかを再スパッタリングするのに充分であるべきである (すなわち、約20~30 eVより上) が、コンタクト・ホール底上に堆積されるべき材料の全てを除く程には高くあるべきではなく、衝撃 Ar^+ イオンが下層基板中でいかなる電気デバイスにダメージを与える程には高くあるべきではない。我々は、直流電源73を用いて-450ボルトのバイアスをウェハ支持ブラットホーム16に印加することにより、本発明のテストを成功させることができた。アルミニウム以外の材料を堆積するためには、該材料のスパッタリング収率に比例して、適当なバイアス電圧を調節するべきである。衝撃イオンのエネルギー (ゆえに、ブラットホーム・バイアス電圧) の関数としての、種々の材料のスパッタリング収率は広く発表されているため、該バイアス電圧は、アルミニウム以外の材料を堆積するために容易に調節することができる。

【0035】比較的に冷めた温度で基板が維持されるように、該基板は再スパッタリングプロセスの間加熱されないことが好ましい。具体的には、2つの好ましくない結果を避けるのに充分に低いように、基板温度は維持されるべきである。第1に、該温度は、該ホールの底部から再スパッタリングされた材料が、そこで堆積するよりむしろ既に側面壁上に堆積した材料のいかなる実質的な量も再スパッタリングすることを防ぐのに充分低くあるべきである。第2に、該温度は、側面壁上に堆積された材料が「脱濡れ (de-wetting)」、すなわち側面表面のいくらかが堆積された材料によって脱カバーされた (uncovered) ままで置かれるのを防ぐのに充分に低くあるべきである。好ましくは、これは該基板を温度約150℃以下で維持することによって達成される。この好適な実施態様において、ブラットホーム16は、フェーズ-I中で水冷され、該基板を約50℃未満に維持する (ステップ100)。

12

【0036】フェーズ-I堆積プロセスの間、機械的コリメーターを使用する代わりに、同様の結果はターゲット-基板間の間隔 (「スパッタリング間隔 (sputtering distance) 」) を増大させ、それによってスパッタリング材料のコヒーレンシーを増大させる (すなわち、最大軌道角度 (maximum trajectory angle) を低減させる) ることによって、同様の結果を達成することができる。スパッタリング材料のコヒーレンシーがコリメーターあるいは長いスパッタリング間隔のいずれによって達成されるにせよ、該コヒーレンシーは、実質的な量の材料を個々のホールの底に堆積させるのに充分でなければならない。個々のホールの底部上に堆積された材料は、該ホールの側面上へ (再スパッタリングプロセスによって) 再スパッタリングされ、該材料によるホール壁の完全、コンフォーマルなカバレッジを達成する。もし、スパッタリング材料が過度にインコヒーレントである (すなわち、該材料の過度の部分が基板表面に対して斜めの軌道 (oblique trajectories) を有している) ならば、個々のホールの底部上に堆積された材料の量は、それが再スパッタリングした際に、側壁を完全にカバーするのに不十分となるであろう。もし、図2中で示された好適な実施態様におけるように、穴あき板 (perforated plate) コリメーター40がコヒーレンシーを達成するために使われるならば、該穴あき (perforations) の幅に対する長さの割合を増大させることによって、該コヒーレンシーは増大される。もし、コヒーレンシーが長いスパッタリング間隔によって達成されるならば、該間隔を増大させることが該コヒーレンシーを増大させる。

【0037】テストされた実施態様において、最終的に望ましいメタライゼーション厚さは約10,000オングストロームであった、そして、フェーズ-I堆積は、基板の頂部表面 (top surface) 上に約4000オングストローム堆積するまで続けられた (ステップ106)。これは、個々のホールの底部上に堆積された十分な材料に帰着し、再スパッタリングの際には側壁を完全にカバーした。もちろん、元々ホールの底部上に堆積した材料のいくらかは、該ホールの側面上へ再スパッタリングされたであろうから、再スパッタリングの後に個々のホールの底部上に残っている材料の厚さは、該基板の頂部表面上の厚さより小さいだろう。約3:1のアスペクト比を有する0.35ミクロン幅のホールを使用した我々のテストにおいて、該ホールの底に堆積されたアルミニウムの厚さは、該基板の頂部表面上に堆積された量、すなわち約1800オングストロームの約40%であった。

【0038】(2.2 フェーズ-II) フェーズ-IIの堆積を実行するために、好ましくはコリメーターを含まないいずれかの従来設計の、図2に示すような第2のスパッタ堆積チャンバーへ、該基板は移動される (transferred)。該基板上に堆積された層を、酸化および汚染

(8)

特開平8-264487

13

か保護するために、第1のチャンバーから第2のチャンバーへ移動されている間、該基板は清浄な真空エンクロージャ中に維持されることが好ましい。

【0039】第2のA1スパッタ堆積は、第2のチャンバー中で実行され(ステップ108)、ホールの埋めを完了する。従来のいかなるスパッタリングプロセス中におけるように、該ターゲットは負の電圧にバイアスされ、プラズマからのアルゴン・イオンが、該ターゲットを衝撃して、該ターゲットから基板上まで材料をスパッタリングする。

【0040】フェーズ-IIの間、プラットホームは、堆積された金属をリフローさせるのに充分に高い温度まで加熱される(ステップ112)。フェーズ-II堆積は、堆積された層が望ましい厚さを有するまで続けられる(ステップ114)。

【0041】好ましくは、フェーズ-IIの間、堆積された金属のリフローは、正のバイアス電圧をプラットホーム16に印加することによって高められる。基板上の正バイアスは、A1を同時に基板上へスパッタ堆積しつつ、プラズマの中で生成された自由電子(free electrons)を基板表面の方へ加速して該表面を衝撃させる(ステップ110)。該基板上の正バイアスは、衝撃電子が堆積A1材料を加熱して、それにより該材料のリフローを高めさせるのに充分に高く設定される。

【0042】好適な実施態様において、堆積されたアルミニウム層は約600℃に加熱されてリフローを高める。電子が該基板を衝撃し、それにより堆積されたA1材料を加熱するため、堆積されたA1層は、該基板より高い温度にあるだろう。したがって、基板温度は、電子衝撃がない時にリフローを達成するために要求されるであろうところのものと、同じくらいに高くする必要はない。好適な実施態様において、基板はほんの450℃に加熱されると、約600℃のA1層温度を与える。したがって、堆積の間、基板を電子で衝撃することの長所は、それが従来のリフロー・プロセスと比べて、堆積された材料のリフローに必要な基板温度を低減することにある。(テストされた実施態様においては、基板-プラットホーム間の不完全な熱伝導のため、基板温度をこの450℃レベルまで上げるために、該プラットホームは520℃に加熱される。)

衝撃電子のエネルギーは、堆積された材料の層を加熱するのに充分でなければならないが、堆積金属を通して、それらがダメージを引き起こす可能性のある下層デバイスにまで貫く程度にまでは高くあるべきではない。一般に、高いパワーをプラズマに印加してプラズマ密度を最大にすることによって電子密度を最大にすることは望ましい。そして、低いバイアス電圧をプラットホームに印加することによって電子エネルギーを最小にすることは望ましい。

【0043】コンタクト・ホールの側壁は、フェーズ-

14

Iで起こる逆スパッタリングによって「濡らされている」(すなわち、堆積されるべき材料の「核形成層」によってコートされている)ため、フェーズ-II堆積の間、リフローされた金属は、より容易にコンタクト・ホール内に流れ込み、該ホールを埋めるであろう。対照的に、該側壁が「濡らされて」いない従来技術プロセスにおいては、堆積された材料は、より容易にコンタクト・ホールの開口にかかるブリッジを形成して、該ブリッジの下に埋められないホールを残す可能性がある。

10 【0044】上述した態様において、フェーズ-II堆積の間、ターゲット電圧はフェーズ-Iで用いられた-500ボルトと同様のレベルに維持されるが、ターゲット電力は、約2,000ワットまで低減され、プラットホームに印加されるバイアスは、約+100から+200ボルトに設定される。結果として生ずる堆積速度は、フェーズ-I堆積と比べて低減される。この低減された堆積速度は、堆積された材料がそれ自身で再分布(redistribute)して、該堆積の間にコンタクト・ホールを埋めるための充分な時間を与える。もし、ターゲット電力があまりに高く設定されるならば、該堆積速度も非常に高くなって、堆積された材料が、小さいコンタクト・ホール上のブリッジ架けを防ぐのに充分に速く流れる(すなわち、再分布する)ことができなくなる。

【0045】上記で示したように、基板が第1のチャンバーから第2のチャンバーに真空条件下で移動されることは好ましい。これは、フェーズ-Iからフェーズ-IIへの移行の間に、新たに堆積された層の表面に付着する、いかなる種類の汚染をも避けることである。もし、O₂、N₂等のガス分子が新たな表面に付着するのを許容されるならば、それらは次のフェーズ-II堆積中での堆積された材料の付着(ashesion)およびリフローに、負の影響を与える(negatively impact)可能性がある。

【0046】真空下での移送は、従来設計の商業的に入手可能な堆積システム、例えば、カリフォルニア、サンタクララのアプライド マテリアルズ社から販売されているセンチュラ(Centura)5200 PVDクラスター・ツール内で容易に行うことができる。図5は、代表的なクラスター・ツールの模式図である。典型的には、それは、その上に1以上のプロセス・チャンバー、例えば堆積チャンバー82(すなわち、上記フェーズ-Iのチャンバー)およびリフローチャンバー84(すなわち、上記フェーズ-IIのチャンバー)、をボルトで留めることが可能な中央移送チャンバー80を含む。該プロセス・チャンバーと移送チャンバーとは、スリットバルブ開口によって互いに分離され、そしてそれは開けられて基板の出入の移送を許容し、且つ、閉じられて接続されたチャンバーを互いに分離する。このようにして、個々のチャンバーは、他のチャンバーとは独立に、それ自身の真空圧力および雰囲気維持されることができる。

(9)

特開平8-264487

15

加えて、移送チャンパーは、異なるプロセス・チャンパーから基板を出し入れしたり、一方のチャンパーから他方のチャンパーへと移動させるためのロボット機構88を含む。個々のチャンパー中の望ましい真空とプロセス雰囲気とを与えるために、別々の真空ポンプおよびガス供給システム(図示せず)が使用される。

【0047】両方のフェーズは、もちろん、2つの異なるチャンパーというよりはむしろ同じチャンパー内で実行されることも可能である。この場合、堆積チャンパーは、図2および3の中で示されたチャンパーの組み合わせ10 された特徴を有するだろう。例えば、プラットホームは、その中に、フェーズ-I 堆積の間に冷めた温度に基板を維持する冷却剤を循環させるための冷却チャンネルを有するであろうし、且つ、フェーズ-II 堆積の間に基板を加熱するための抵抗性ヒータをも有するであろう。さらに、プラットホームに接続されたパワー源が、フェーズ-I 堆積からフェーズ-II 堆積に移行する際に、該プラットホームへのバイアスの極性が容易に逆転できるように、切り換え可能(switchable)であることが好ましい。

【0048】加えて、上方キャビティ・プラズマからプラットホームへの電子の流れをブロックする、フェーズ-II 中のコリメーション・フィルターの存在は、衝撃電子の源を与えるための、下方キャビティ中での第2のプラズマ形成を要求するだろう。該第2のプラズマは、より大きいバイアス電圧をプラットホームに印加することにより、または、基板より上の(above)プラズマを励起させる電気パワーの別の源を設けることによって、生成することができる。あるいは、フェーズ-IIの間、該ターゲットと基板との間からコリメータを動かして外し 30 ておくことも可能であろう。

【0049】フェーズ-Iの記載において述べたように、フェーズ-Iにおいて機械的コリメーターを使用する代わりに、ターゲット-基板間の距離(スパッタリング距離)を増大させて、それによりスパッタリング材料のコヒーレンスを増大させる(すなわち、最大軌跡角度を低減する)ことによって、同様な結果が達成される。もし、機械的コリメーターが使用されないならば、フェーズ-Iおよびフェーズ-IIの両方のは、1つの堆積チャンパー内で容易に実行されることができ 40 る。この場合、より大きい間隔は、一般にチャンパー壁への堆積によって消費されるスパッタリング材料をより多くするため、ターゲット-基板間の間隔は、フェーズ-IIの間は低減されることが好ましい。

【0050】(3.0 実験結果)フェーズ-I堆積に続くフェーズ-II堆積の利点は、我々が実行した2つのアルミニウム・メタライゼーションの以下の実験例によって説明される。2-フェーズ・プロセスが、2つのウエハ上で実行され、それらの個々は、アスペクト比が約 3:1で、トップ開口が約0.3のミクロンのリエント 50

16

リー形状のコンタクト・ホール配列(array)を含むオキサイド層を有していた。フェーズ-Iおよびフェーズ-II型の堆積を実施するための適当なバイアスが、一方のウエハのためのプラットホームに印加されて、他方に印加されなかった以外は、両方のプロセスは同一であった。

【0051】両方のウエハは、最初に200オングストロームのプレクリーン・エッチングにより、アルミニウム・メタライゼーションに供され、オキサイド上の清浄な表面を与え、堆積されるべきコンタクトの接触抵抗(contact resistance)を改善した。それから、コヒーレント堆積プロセスを使用して、Tiの200オングストロームの層、次いでTiNの700オングストロームの層が堆積された。Ti堆積は、次のTiN堆積のための核形成ないし「濡れ」層を確立する。TiN層は、基板が後にリフロー・プロセス中で加熱される際、Alがシリコン中に拡散するの防ぐためのバリアーを確立する。該バリアー層が堆積された後、ウエハが別の金属アニール・チャンパー中、O₂およびN₂雰囲気下で650°Cに加熱される。次いで、Tiの500オングストロームの層がウエハ上へコヒーレントに堆積されて、アルミニウムが付着できる「接着剤(glue)」層を与える。この最後の堆積で、該ウエハは、メタライゼーションのための準備ができる。

【0052】両方のウエハに対して、アルミニウムは該ウエハ上に2ステップで堆積された。第1のステップの間、4000オングストロームのAl/0.5%Cuが冷えた(すなわち、50°C)ウエハ上へコヒーレントに堆積された。第2のステップ中は、第1のステップのために用いた他の堆積チャンパーを使用して、Al/0.5%Cuの6000オングストロームの層が(コヒーレントでなく)加熱されたウエハ(520°C)上に堆積された。プロセス条件は、450ボルトの直流負バイアスが第2のウエハを保持するプラットホームに印加され、第1のウエハを保持するプラットホームに印加されなかった以外は、第1のステップ中におけるのと同じであった。第2のステップ中、230ボルトの正バイアス(13アンペアに制限された電流)が第2のウエハを保持するプラットホームに印加され、第1のウエハを保持するプラットホームに印加されなかった以外は、再び、プロセス条件は同一であった。

【0053】この結果は、処理されたウエハを切断(cross-sectioning)し、倍率が約40,000の走査型電子顕微鏡の下でそれらを観察することによって、調べられた。第1のウエハ(すなわち、従来技術を使用して処理されたウエハ)の場合、堆積金属は、リエントリー形状のコンタクト・ホールの頂部上に橋架けられ、そして、金属は該ホールに流れ込まなかった。対照的に、本発明に従って処理された第2のウエハの場合、堆積された金属は、リエントリー形状のコンタクト・ホールに流れ込

(10)

特開平8-264487

17

み、それらを完全に埋めた。

【0054】上述した技術が、如何なる堆積された材料のための側壁カバーレージを改善するためにも使用可能である点に留意すべきである。例えば、A1メタライゼーションの前に堆積される上記Ti接着剤層の側壁カバーレージを得るために、上記技術を使うことができる。

【0055】(4.0 他の実施態様) 上述したように、プラズマ密度を増大させることは、スパッタリング速度を増大させる、および/又はバイアス電圧を低減して基板上の電気デバイスへのダメージの危険を低減することを許容する。上記した好適な実施態様において用いられたマグネトロン源等の容量結合型の(capacitively coupled)プラズマ源は、一般に誘導結合の(inductively coupled)プラズマ源と同じくらいに高いプラズマ密度を達成することができない。アンテナを使用してより多い(migher)量の高周波電力をプラズマに結合させて、プラズマ密度を増大させる適切な設計は、本明細書にレファレンスとして組込まれたところの、「スパッタおよび/又はキャピティ・イオン生成効率を高めるための高周波バイアス・リングを有するコリメーション・ハードウェア」と題された、米国特許出願シリアル番号08/145,744中に記載されている。この設計は、下方キャピティ中でプラズマ密度を増大させ、上方キャピティ中でスパッタリング効率を増大させ、および/又はフェーズ-1での逆スパッタリング速度を制御することができる。

【0056】図2を参照して、該変形は、上方の内側に配置されたリングアンテナ51、および/又は下方キャピティの内側に配置されたリングアンテナ53を使用することを含む。該リング・アンテナは、追加のパワーをプラズマにポンピングして、それにより該プロセスの効率を増大させるために使われる。例えば、上方のアンテナは、スパッタリング効率を増大させる機能を有する。一方、下方のアンテナは、電子プラズマ密度を増大させ、および/又は逆スパッタリングプロセス上でより大きい制御を得る機能を有する。

【0057】アンテナ51および53の両方は、1つ以上の巻(turns)を有するコイルである。高周波マッチング・ネットワーク55を介して、上方のリングアンテナ51に結合された高周波発生器61は、上方のリングアンテナに高周波電力を与える。高周波マッチング・ネ

18

ットワーク55を介して、下方のリングアンテナ53に結合された第2の高周波発生器57は、下方のリングアンテナに高周波電力を与える。両方のケースにおいて、電氣的接続はチャンバー壁内のフィードスルーを介して該アンテナまで形成され、該アンテナの他の側は、チャンバー壁内の他のフィードスルーを介して接地に電氣的に接続している。

【0058】下方アンテナを介して高周波電力を供給することは、ターゲットのスパッタ速度に影響を及ぼさないが、それは、該ウエハ上へのスパッタリングされた化学種(species)の衝撃エネルギーおよびイオン化を増大させることに留意すべきである。このように、下方アンテナは、衝撃エネルギーを最適化して、堆積された材料の特性およびバリエーション特性を制御するためにも使用可能である。

【0059】パワー発生器が直流電源として記述されたけれども、これは単なる例示としてのものである。本発明は、それらの電源を使用するだけに限られず、他のパワー発生器をも包含する。例えば、ブラットホーム上にバイアスを生成するための高周波電源を使用することは、望ましいでもあろう。高周波電源の1つの長所は、それが直流源に伴う傾向があるアーク発生を生成する可能性が低いということである。加えて、もし下方アンテナが電力を下方チャンバー・キャピティに供給するために使用されるならば、該ブラットホームを別個にバイアスすることは必要ではなくなるだろう。下方アンテナによって形成されるプラズマは、該ブラットホーム上に正バイアスを生成するだろう。

【0060】他の実施態様も、クレームの範囲の内となる。

【図面の簡単な説明】

【図1】従来のリエントリー形状のコンタクト・ホールを示す図である。

【図2】コンフォーマルな堆積プロセスが実行可能なスパッタリング堆積チャンバーの図である。

【図3】ホール埋め・平坦化プロセスが実行可能なスパッタリング堆積チャンバーの図である。

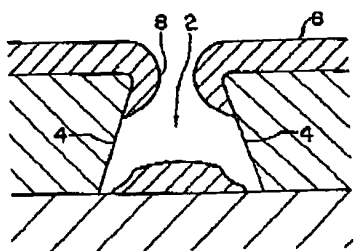
【図4】ホール埋め・平坦化を含む完全なメタライゼーション・プロセスのフローチャートである。

【図5】従来のクラスター・ツール(cluster tool)の図である。

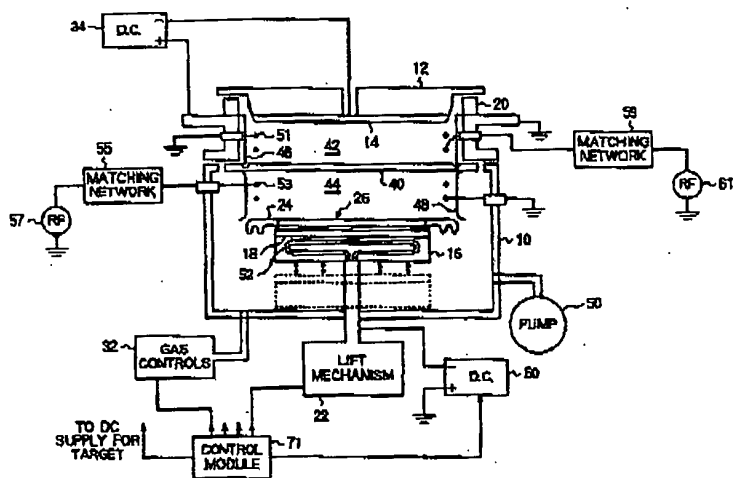
(11)

特開平8-264487

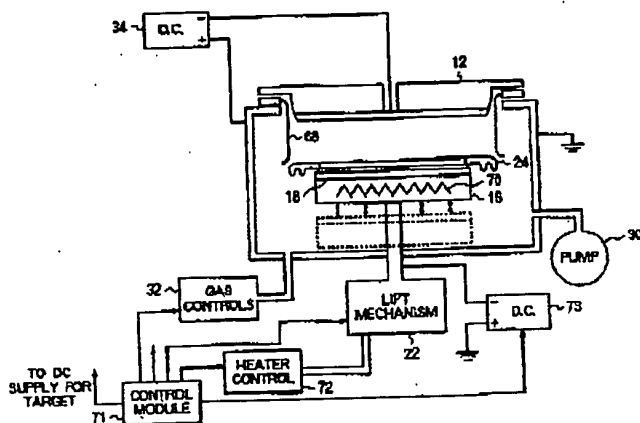
【図1】



【図2】



【図3】



(12)

特開平8-264487

【図4】

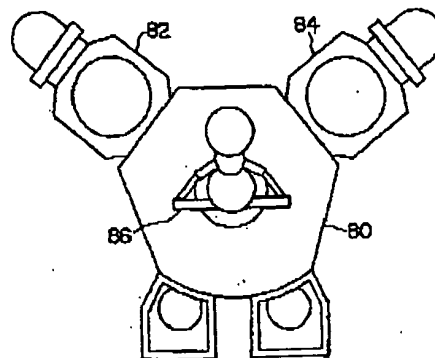
PHASE I Deposition:

- 100. circulate coolant through platform to cool substrate during deposition
- 102. coherently deposit material onto surface of substrate
- 104. concurrently with coherent deposition, reverse sputter (re deposited material) on the substrate
- 106. continue coherent deposition + reverse sputtering until a first predetermined thickness of material is deposited

PHASE II Deposition:

- 108. deposit material onto previously deposited layer of material
- 110. while depositing material, bombard surface of substrate with electrons to heat the deposited layer
- 112. while depositing material, heat platform to cause reflow of deposited material
- 114. continue above deposition + electron bombardment + heating until a second predetermined thickness of material is deposited

【図5】



【手続補正書】

【提出日】平成8年5月24日

【手続補正1】

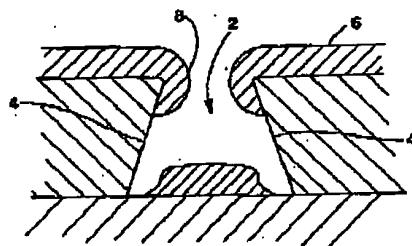
【補正対象書類名】図面

*【補正対象項目名】全図

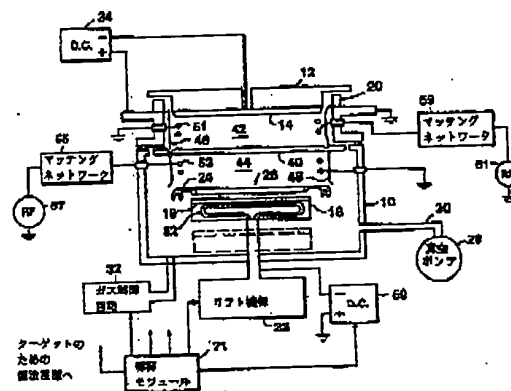
【補正方法】変更

*【補正内容】

【図1】



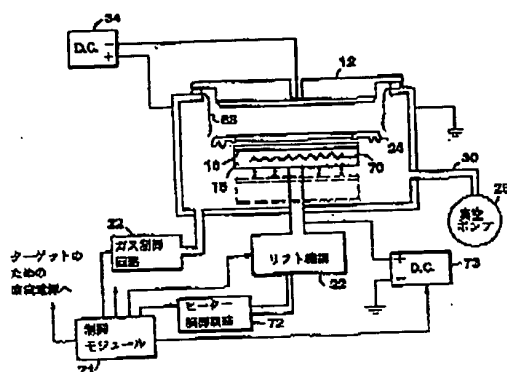
【図2】



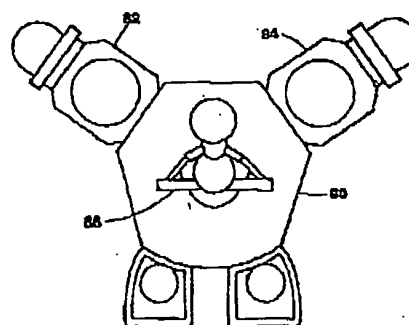
(13)

特開平8-264487

【図3】



【図5】



【図4】

フェーズI 堆積ステップ

- 100. 堆積中に基板を冷却するために、プラットホームは水等のクーラントで冷却される
- 102. 基板表面に材料の堆積をコヒーレントに行う
- 104. コヒーレント堆積と同時に、逆スパッタリングにより基板上に材料を堆積させる
- 106. 所定の厚さに堆積されるまで、コヒーレント堆積及び逆スパッタリングが続けられる

フェーズII 堆積ステップ

- 108. すでに堆積された材料の層の上に材料を堆積させる
- 110. 材料を堆積しつつ、基板表面に電子を衝撃させて、堆積層を加熱する
- 112. 材料を堆積しつつ、プラットホームを加熱して、堆積材料をリフローさせる
- 114. 所定の厚さに堆積されるまで、堆積及び電子の衝撃が続けられる

フロントページの続き

(72)発明者 ホア ケウ
アメリカ合衆国、カリフォルニア州
94085、サンニヴェール、ウェスト
オリブ 215